

(52) CPC특허분류

H01L 33/58 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

복수의 화소가 있는 기관;

상기 화소는 적어도 하나의 발광칩을 포함하고

상기 복수의 화소중 적어도 하나의 화소의 일측에 상기 화소의 정렬 기준이 되는 제1구조물을 포함하되,

상기 제1구조물은 상기 발광칩을 구성하는 반도체 물질 중 적어도 어느 하나를 포함하여 구성되는 표시장치.

청구항 2

제1항에 있어서,

상기 제1구조물과 상기 발광칩의 거리는 일정한 표시장치.

청구항 3

제1항에 있어서,

상기 기관상에 적어도 하나의 구동소자 및 복수의 배선전극이 있고 상기 발광칩은 상기 구동소자와 상기 배선전극과 연결되고 상기 제1구조물과 대응하는 제2 구조물이 있는 표시장치.

청구항 4

제3항에 있어서,

상기 제2구조물은 상기 배선전극과 전기적으로 연결된 표시장치.

청구항 5

제4항에 있어서,

상기 제2구조물과 상기 배선전극을 연결하는 투명전극을 더 포함하는 표시장치.

청구항 6

제3항에 있어서,

상기 제2구조물의 표면은 Cr, Al, Au, Ag 중에서 선택된 물질로 표면처리된 표시장치.

청구항 7

제3항에 있어서,

상기 제2구조물의 중심축과 상기 제1구조물의 중심축이 서로 대응하도록 정렬되어 배치된 표시장치.

청구항 8

제3항에 있어서,
상기 제2구조물은 원형, 타원형, 십자, 다각형중에서 선택된 형태인 표시장치.

청구항 9

제3항에 있어서,
상기 제2구조물은 평면도상 상기 제1구조물을 둘러싸도록 배치된 표시장치.

청구항 10

제9항에 있어서,
상기 제2구조물의 내측에서 상기 제1구조물과의 상하 및 좌우의 거리가 균등한 표시장치.

청구항 11

제1항에 있어서,
상기 제1구조물의 표면은 Cr, Al, Au, Ag 중에서 선택된 물질로 표면처리된 표시장치.

청구항 12

제1항에 있어서,
상기 제1구조물은 인접한 두개의 상기 화소사이에 있는 표시장치.

청구항 13

제1항에 있어서,
상기 발광칩은 청색, 녹색, 적색 또는 백색 발광칩 중에서 선택된 발광칩인 표시장치.

청구항 14

제13항에 있어서,
상기 발광칩과 대응하는 컬러필터를 더 포함하는 표시장치.

청구항 15

제1항에 있어서,
서로 다른 화소에 서로 다른 반도체 물질을 포함하는 제1구조물이 있는 표시장치.

청구항 16

제15항에 있어서,

상기 화소는 레드, 그린, 블루의 빛을 내는 복수의 발광칩을 포함하고 상기 제1구조물은 상기 복수의 발광칩 중 선택된 발광칩을 구성하는 반도체 물질을 포함하여 구성되는 표시장치.

청구항 17

복수의 구동소자가 있는 기판을 준비하는 단계;

기판상에 발광칩을 이식하는 단계; 및

발광칩과 구동소자와의 전극을 연결하는 단계;를 포함하고,

상기 기판상에 발광칩을 이식하는 단계는, 전사기판에 있는 발광칩과 상기 발광칩의 정렬 기준이 되는 제1구조물을 상기 전사기판에서 상기 기판에 함께 이식하는 단계를 포함하는 표시장치 제조방법.

청구항 18

제17항에 있어서,

상기 기판상에 발광칩을 이식하는 단계는, 상기 기판상에 접착층을 배치한 후 상기 발광칩을 이식하는 단계를 포함하는 표시장치 제조방법.

청구항 19

제18항에 있어서,

상기 전사기판에 있는 상기 제1구조물을 상기 기판에 이식하는 단계는, 상기 기판에 있는 제2구조물과 상기 전사기판에 있는 상기 제1구조물을 정렬하는 단계를 포함하는 표시장치 제조방법.

청구항 20

제19항에 있어서,

상기 기판에 있는 제2구조물과 상기 전사기판에 있는 제1구조물을 정렬하는 단계 이후에, 상기 전사기판에 있는 발광칩과 제1구조물을 한꺼번에 상기 기판에 접촉시키고 압력을 가하여 상기 기판으로 이식하는 단계를 포함하는 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 보다 구체적으로는, 발광 다이오드가 있는 발광 표시 장치 및 이의 제조 방법을 제공하는 것이다.

배경 기술

[0002] 컴퓨터, 스마트 폰, 휴대용 표시 기기 및 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0003] 표시 장치는 반사형 표시 장치와 발광형 표시 장치로 구분될 수 있는데, 반사형 표시 장치는 자연광 또는 표시 장치의 외부 조명에서 나오는 빛이 표시 장치에 반사되어 정보를 표시하는 방식의 표시 장치이고 발광형 표시 장치는 발광소자 또는 광원을 표시 장치에 내장되어 있으며, 내장된 발광소자 또는 광원에서 나오는 빛을 사용하여 정보를 표시하는 방식이다.

[0004] 표시 장치는 복수의 화소가 배치되고, 각각의 화소는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor)를 이용하여 영상을 표시한다.

- [0005] 박막 트랜지스터가 사용된 대표적인 표시 장치로서는 액정 표시 장치와 유기 발광 표시 장치가 있으며, 액정 표시 장치는 자체 발광 방식이 아니기 때문에 액정 표시 장치의 하부(후면)에 배치된 백라이트 유닛(Backlight unit)을 가지므로 표시 장치의 두께가 증가하고 다양한 형태의 디자인으로 표시 장치를 구현하는데 제한이 있으며, 휘도 및 응답 속도가 저하될 수 있다.
- [0006] 자체 발광 소자가 있는 표시 장치는 광원을 내장하는 표시 장치보다 얇게 구현될 수 있고, 플렉서블하고 접을 수 있는 표시 장치를 구현할 수 있는 장점이 있다.
- [0007] 상술한 바와 같이 자체 발광 소자가 있는 유기 발광 표시 장치 또는 마이크로 발광 소자 표시 장치와 같은 표시 장치가 근래 주요 연구 개발의 대상이 되고 있다.
- [0008] 자체 발광 소자가 있는 표시 장치 중에서 유기 발광 표시 장치는 유기 발광 소자를 화소로 사용한 표시 장치로서, 별도의 광원이 필요하지 않는 반면에 수분과 산소에 의해 암점불량이 발생되기 쉬우므로 산소와 수분의 침투를 저지하기 위한 다양한 기술적 구성이 추가적으로 요구된다.
- [0009] 최근에는, 미세한 크기의 마이크로 LED(Light emitting diode)를 발광 소자, 특히 표시 장치의 화소에 대응하도록 구성 하는 발광 표시 장치에 대한 연구 및 개발이 진행되고 있으며, 이러한 발광 표시 장치는 고화질과 고신뢰성을 갖기 때문에 차세대 표시 장치로서 각광받고 있다.
- [0010] 더 자세히 살펴 보면, LED는 GaN과 같은 화합물 반도체로 구성되어 무기 재료 특성상 고 전류를 주입할 수 있어 고휘도를 구현할 수 있고, 열, 수분, 산소 등 환경 영향성이 낮아 고신뢰성을 갖는다.
- [0011] 또한, LED는 내부 양자 효율이 90% 수준으로 유기 발광 표시 장치 보다 높으므로 고휘도의 영상을 표시할 수 있으면서 소모 전력이 낮은 표시 장치를 구현할 수 있는 장점이 있다.
- [0012] 또한, 유기 발광 표시 장치와는 달리 산소와 수분의 침투를 최소화 하기 위한 별도의 봉지막 또는 봉지기판이 필요가 없으므로, 비표시 베젤영역을 최소화 할 수 있는 장점이 있다.
- [0013] 그러나, LED를 개별 화소의 발광 소자로 사용하는 디스플레이 장치에 있어서, LED 자체의 높은 가격과 디스플레이 장치에 LED를 이식/전사하는 공정비용 등이 발생할 수 있어, 이로 인하여 생산성이 떨어진다는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0014] 상술한 바와 같이 단위 화소의 발광 소자로 LED소자가 사용된 발광 표시 장치를 구현하기 위해서는 몇가지 기술적인 요구사항이 있다. 우선, 사파이어(Sapphire) 또는 실리콘(Si)과 같은 반도체 웨이퍼(wafer) 기판 상에 LED 소자를 결정화 시키고, 결정화된 복수의 LED 칩을 구동소자가 있는 기판에 이동 시키되 각각의 화소에 대응하는 위치에 위치시키는 정교한 전사 공정이 요구된다.
- [0015] LED소자는 무기재료를 사용하여 형성할 수 있으나, GaN과 같은 무기재료를 결정화 하여야 하기에 상술한 무기재료의 결정화를 효율적으로 유도 할 수 있는 반도체 기판상에서 무기재료를 결정화 시키어야 한다.
- [0016] LED소자를 결정화하는 공정은 에피택시(epitaxy), 에피택셜 성장(epitaxial growth) 또는 에피공정이라고도 지칭한다. 에피공정은 어떤 결정의 표면에서 특정한 방위 관계를 취해 성장하는 일을 의미하는데, LED소자의 소자구조를 형성하기 위해서는 기판위에 GaN계 화합물 반도체를 pn접합 다이오드 형태로 쌓아 올려야 하는데 이때 각각의 층은 밀의 층의 결정성을 이어받아 성장하게 된다.
- [0017] 이때, 결정 내부의 결함은 전자와 정공의 재합과정(Electron-hole recombination process)에서 비발광 센터(nonradiative center)로 작용하기 때문에 광자(photon)를 이용하는 LED소자에서는 각 층을 형성하는 결정들의 결정성이 소자효율에 결정적인 영향을 미치게 된다.
- [0018] 현재 주로 사용되는 기판으로는 상술한 사파이어(Sapphire)기판이 주로 사용되며, 근래에는 GaN를 베이스로하는 기판 등에 대한 연구활동이 활발히 이루어 지고 있다.
- [0019] 이와 같이 LED발광 소자를 구성하는 GaN과 같은 무기재료를 반도체 기판상에 결정화 함에 있어 소요되는 반도체 기판의 높은 가격으로 인해 단순한 조명 또는 백라이트에 사용되는 광원으로서의 LED가 아닌 표시 장치의 발광 화소로서 다량의 LED를 사용하게 되는 경우 제조 비용이 높아지는 문제점이 있다.

- [0020] 또한, 상술한 바와 같이 반도체 기판상에 형성된 LED소자는 표시장치를 구성하는 기관으로 전사(Transfer)하는 단계가 필요하게 되는데, 이 과정에서 반도체 기판상에서 LED소자를 분리하는데에 어려움이 있고, 분리된 LED소자를 원하는 지점에 바르게 이식(transplant)할때에도 많은 어려움이 있을 수 있다.
- [0021] 한편, 유기 발광 표시 장치와는 다르게 LED소자가 사용된 표시장치는 봉지막이나 봉지기판이 필요하지 않아 베젤 영역을 최소화 할 수 있고, 복수의 표시장치를 사용한 모듈라(Modular) 형식의 표시장치를 구성하는데 유리하다.
- [0022] 상술한 바와 같은 장점이 있는 LED소자를 사용한 표시장치를 구현함에 있어 성장시킨 LED소자를 표시장치의 기관에 이식하는 단계에서 각 화소에 대항하는 LED소자를 바르게 정렬하는데 중요한 기술적 난제가 있었다.
- [0023] 표시장치에 있는 화소간의 간격은 반도체기판에 있는 LED소자간의 간격보다 훨씬 넓기 때문에 반도체 기관에 있는 LED소자를 표시장치에 1대 1로 바로 이식할 수 없다. 반도체 기관에 있는 복수의 LED소자를 화소간의 거리(Pixel pitch)를 고려하여 반도체 기관에서 LED소자를 떼어고 표시장치의 기관에 이식하는 단계가 필요하게 된다.
- [0024] 표시장치에 LED소자를 이식하는 단계, 또는 공정에 있어서 LED소자들의 간격이 일정하지 않거나 균형있게 배치되지 않는 경우 표시장치에 표시되는 이미지가 일그러지게 되어 표시장치로서의 이미지 표시 품질이 저하되는 문제점이 있을 수 있다.
- [0025] 표시장치에 LED소자를 이식하는 단계에 있어서, LED소자를 반도체기판에서 표시기관으로 바로 이식하기 힘들기에, 전달기관을 사용하게 되는데, 반도체 기관의 크기에 한계가 있으므로, 표시장치하나에 복수의 전달기관을 사용하여 LED소자를 이식하게 된다.
- [0026] 이때, LED소자간의 간격을 일정하게 유지 시키면서 복수의 전달기관을 사용하여 LED소자를 표시장치의 기관으로 이식하는데에 있어 복수의 전달기관을 사용하면서 발생할 수 있는 누적된 공정 오차 등에 의해 LED소자간의 간격이 틀려지는 문제점이 있다.
- [0027] 상술한 바와 같은 기술의 문제점을 해결하기 위한 것으로 LED소자가 있는 표시장치에서 LED소자간의 간격을 일정하게 유지하여 향상된 표시 품질을 갖는 표시장치 및 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0028] 본 발명의 일 실시예에 따른 발광소자로 LED소자가 있는 표시장치가 제공된다. 복수의 화소가 기관상에 있고, 화소는 적어도 하나의 LED소자로 구성된 발광칩을 포함하고 있으며, 상기 화소에 LED소자를 배치하는 공정에서 균일한 LED소자의 거리를 유지 하도록 LED소자가 배치되는 위치를 참조할 수 있는 구조물을 기관에 배치하되, 상기 화소에 있는 발광칩의 일측에 배치하도록 한다.
- [0029] 이와 같이, 기관상에 발광칩을 배치함에 있어 배치하는 공정중 발광칩간의 거리를 일정하게 유지하도록 참조할 수 있는 구조물을 기관상에 함께 배치하여 균일한 배치 간격을 유지 할 수 있다.

발명의 효과

- [0030] 본 발명의 실시예에 따라 표시장치는 기관상에 발광칩을 배치하는 과정에서 구조물을 함께 배치하여 발광칩들간의 거리를 일정하게 유지할 수 있으며, 이로 인하여 표시장치의 표시품질을 높일 수 있다. 또한, 본 발명의 실시예에 따른 발광칩을 배치하는 과정에서 사용되는 정렬키등을 함께 이동시키어 공정오차를 줄일 수 있으며, 이로 인한 불량율을 낮추어 표시장치를 제조하는 비용을 낮출 수 있는 효과가 있다.
- [0031] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.
- [0032] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 표시장치의 개략적인 평면도이다.
- 도 2는 도 1에 도시된 표시장치의 후면을 나타내는 평면도이다.

도 3은 도 1에 도시된 일 실시예에 따른 단위 화소의 구성을 설명하기 위한 개략적인 회로도이다.

도 4는 발광칩과 구조물이 있는 표시장치의 개략적인 평면도이다.

도 5는 도 4에 도시된 선 A-A'의 개략적인 단면도이다.

도 6은 도 4에 도시된 마이크로 발광 소자의 구조를 설명하기 위한 개략적인 단면도이다.

도 7은 일 실시예에 따라 도 5에 도시된 K영역에 있는 정렬기로 사용되는 구조물의 다양한 형태에 대한 도면이다.

도 8a 내지 도 8c는 일 실시예에 따른 표시장치의 제조공정을 설명하기 위한 개략적인 단면도이다.

도 9a 및 도 9b는 표시장치에 실장되는 발광칩과 구조물에 대한 이식 공정을 설명하기 위한 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0035] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0036] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0037] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0038] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0039] 신호의 흐름 관계에 대한 설명일 경우, 예를 들어, 'A 노드에서 B 노드로 신호가 전달된다'는 경우에도 '바로' 또는 '직접'이 사용되지 않는 이상, A 노드에서 다른 노드를 경유하여 B 노드로 신호가 전달되는 경우를 포함할 수 있다.
- [0040] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0041] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0042] 이하에서는, 본 발명의 일 실시예에 따른 LED소자가 있는 표시장치의 다양한 구성에 대해 도면을 참조하여 상세히 설명한다.
- [0043] 도 1은 본 발명의 일 실시예에 따른 표시장치의 개략적인 평면도이며 도 2는 도 1에 도시된 표시장치의 후면을 나타내는 평면도이다. 도 3은 도 1에 도시된 일 실시예에 따른 단위 화소의 구성을 설명하기 위한 개략적인 회로도이다. 도 1 내지 도 3을 참조하여 설명하면, 본 발명의 일 실시예에 따른 표시장치(100)는 복수의 단위 픽셀(UP)이 있는 표시영역(AA)과 비표시영역(IA)이 정의된 기판(110)을 포함한다.
- [0044] 단위픽셀(UP)은 기판(110)의 전면(110a)에 있는 복수의 서브픽셀(SP1, SP2, SP3)로 구성될 수 있으며 통상적으

로 레드(Red), 블루(Blue) 및 그린(Green)의 빛을 발광하는 서브픽셀(SP1, SP2, SP3)을 포함할 수 있으나 이에 한정되지 않고, 화이트(White)등의 빛을 발하는 서브픽셀을 포함할 수 있다.

[0045] 상기 기관(110)은 박막 트랜지스터 어레이 기관으로서, 유리 또는 플라스틱 재질로 이루어 질 수 있으며, 두장 이상의 기관의 합착 또는 둘이상의 층으로 구분되는 기관일 수 있다. 비표시영역(IA)은 표시영역(AA)을 제외한 기관(110)상의 영역으로 정의될 수 있는데, 상대적으로 매우 좁은 폭을 갖을 수 있으며, 베젤(Bezel)영역으로 정의될 수 있다.

[0046] 복수의 단위픽셀(UP)각각은 표시영역(AA)에 배치된다. 이때, 복수의 단위픽셀(UP)각각은 X축 방향을 따라 미리 설정된 제1 기준 픽셀 피치를 가지게 되고 Y축 방향을 따라 미리 설정된 제2 기준 픽셀 피치를 가지도록 표시영역(AA)에 배치된다. 제1 기준 픽셀 피치는 인접한 단위픽셀(UP)각각의 정 중앙부간의 거리로 정의될 수 있으며, 제2 기준 픽셀 피치는 제1 기준 픽셀 피치와 유사하게 기준 방향으로 인접한 단위픽셀(UP) 각각의 정 중앙부간의 거리로 정의될 수 있다.

[0047] 한편, 단위픽셀(UP)를 이루는 서브픽셀(SP1, SP2, SP3)간의 거리또한 제1 기준 픽셀 피치 및 제2 기준 픽셀 피치와 유사하게 제1 기준 서브픽셀 피치 및 제2 기준 서브픽셀 피치로 정의될 수 있다.

[0048] LED소자인 마이크로 발광 소자(150)를 포함하는 표시장치(100)는 비표시영역(IA)의 폭이 상술한 픽셀 피치 혹은 서브픽셀 피치보다 작을 수 있으며, 픽셀 피치 혹은 서브픽셀 피치 보다 같거나 작은 길이의 비표시영역(IA)을 갖는 표시장치(100)로 멀티 스크린 표시장치를 구성하는 경우, 비표시영역(IA)이 픽셀 피치 또는 서브 픽셀 피치보다 작으므로 베젤영역이 실질적으로 없는 멀티 스크린 표시장치를 구현할 수 있게 된다.

[0049] 상술한 바와 같은, 베젤영역이 실질적으로 없거나 최소화 된, 멀티 스크린 방식의 표시장치를 구현하기 위해 표시장치(100)는 표시영역(AA)내에서 제1 기준 픽셀 피치, 제2 기준 픽셀 피치, 제1 기준 서브픽셀 피치 및 제2 기준 서브픽셀 피치를 일정하게 유지할 수도 있으나, 표시영역(AA)을 복수의 구역으로 정의하고 각각의 구역내에서 상술한 피치 길이를 서로 다르게 하되, 비표시영역(IA)과 인접한 구역의 픽셀 피치를 다른 구역보다 넓게 함으로서 더욱 베젤영역의 크기를 상대적으로 픽셀 피치보다 작도록 할수 있다.

[0050] 이와같이, 서로다른 픽셀 피치를 갖는 표시장치(100)는 화상에 대한 왜곡 현상이 발생 할 수 있으므로 설정된 픽셀 피치를 고려하여 인접한 구역과 비교하여 이미지 데이터를 샘플링하는 방식으로 이미지 프로세싱을 하여 화상에 대한 왜곡 현상을 최소화 하면서 베젤영역을 최소화 할 수 있다.

[0051] 그러나, 비표시영역(IA)를 최소화 하는데에 마이크로 발광 소자(150)가 있는 단위 화소(UP)에 전원 공급과 데이터 신호를 주고 받을수 있는 회로부와 연결을 위한 패드영역과 구동을 위한 드라이브 IC등을 위한 최소한의 영역이 필요하다.

[0052] 도 2를 참조하면, 표시장치(100)는 기관(110)의 후면(110b)에 복수의 제1 라우팅 라인(RL1), 복수의 제2 라우팅 라인(RL2), 데이터 구동 회로(120), 게이트 구동 회로(130), 제어보드(141) 및 타이밍 컨트롤러(142)와 같은 표시 구동 회로부 더 포함할 수 있다.

[0053] 복수의 제 1 라우팅 라인(RL1)은 기관(110)의 전면(前面)(110a)에 마련된 복수의 픽셀 구동 라인, 보다 구체적으로는 복수의 데이터 라인(DL) 각각의 끝단에 전기적으로 연결되고 기관(110)의 비표시 영역(IA)에서 기관(110)의 측면과 기관(110)의 후면(110b)에 연장되어 배치되어 복수의 데이터 구동 회로(120)에 전기적으로 연결된다.

[0054] 즉, 복수의 제 1 라우팅 라인(RL1) 각각은 기관(110)의 제 1측 외측면을 감싸도록 마련되고, 그 일단은 기관(110)의 비표시 영역(IA)에서 복수의 데이터 라인(DL)과 연결되며, 그 타단은 기관(110)의 후면(110b)에 마련된 해당하는 데이터 구동 회로(120)와 연결된다. 여기서, 기관(110)의 비표시 영역(IA)은 도 1에 도시된 기관(110)의 하측 가장자리 영역이 될 수 있다.

[0055] 복수의 게이트 구동 회로(130) 각각은 기관(110)의 제 2 측 후면 가장자리에 일정한 간격으로 가지도록 마련된다.

[0056] 복수의 제 2 라우팅 라인(RL2)은 기관(110)의 전면(前面)(110a)에 마련된 복수의 픽셀 구동 라인, 보다 구체적으로는 복수의 게이트 라인(GL) 각각의 끝단에 전기적으로 연결되고 기관(110)의 비표시 영역(IA)에서 기관(110)의 측면과 기관(110)의 후면 에 연장되도록 배치되어 복수의 게이트 구동 회로(130)에 전기적으로 연결된다.

- [0057] 즉, 복수의 제 2 라우팅 라인(RL2) 각각은 기관(110)의 제 2 외측면을 감싸도록 마련되고, 그 일단은 기관(110)의 비표시 영역(IA)에서 복수의 게이트 라인(GL)과 연결되며, 그 타단은 기관(110)의 후면(110b)에 마련된 해당하는 게이트 구동 회로(130)와 연결된다. 이때의, 기관(110)의 비표시 영역(IA)은 도 1에 도시된 기관(110)의 우측 가장자리 영역이 될 수 있다.
- [0058] 복수의 데이터 구동 회로(120) 각각은 복수의 데이터 연성 회로 필름(121) 및 복수의 데이터 구동 집적 회로(122)를 포함한다.
- [0059] 복수의 데이터 연성 회로 필름(121) 각각은 필름 부착 공정에 의해 기관(110)의 후면(100b)에 부착될 수 있다.
- [0060] 구체적인 도면을 제공하지는 않았으나, 데이터 구동회로(120) 및 게이트 구동회로(130)은 두장 이상의 복수의 기관으로 기관(110)을 구성되는 경우 서로다른 기관에 실장된 형태로 기관(110)과 합착될 수 있으며, 이러한 경우 결과적으로 기관(110)의 후면(110b)에 직접 실장되어 제공될 수 있다. 혹은, 복수의 기관이 아닌 단일 기관 상에서도 후면(100b)에 직접 실장될 수 있다. 이하에서는 도 2에 도시된 바와 같이 연성 회로 필름(121,131)이 사용된 구성에 대하여 설명하도록 한다.
- [0061] 복수의 데이터 구동 집적 회로(122) 각각은 복수의 데이터 연성 회로 필름(121) 각각에 개별적으로 실장된다. 이러한 복수의 데이터 구동 집적 회로(122) 각각은 타이밍 컨트롤러(142)로부터 제공되는 서브 픽셀 데이터와 데이터 제어 신호를 수신하고, 데이터 제어 신호에 따라 서브 픽셀 데이터를 아날로그 형태의 서브 픽셀별 데이터 전압으로 변환하여 해당하는 데이터 라인(DL)에 공급한다.
- [0062] 선택적으로, 상술한 바와 같이 복수의 데이터 구동 집적 회로(122) 각각은 데이터 연성 회로 필름(121)에 실장되지 않고, 기관(110)의 후면(100b)에 직접적으로 실장될 수 있다. 여기서, 복수의 데이터 구동 집적 회로(122) 각각은 칩 온 글라스(chip on glass) 방식에 따른 칩 실장 공정에 의해 기관(110)의 후면(100b)에 실장될 수 있다. 이 경우, 데이터 연성 회로 필름(121)이 삭제될 수 있고, 이로 인해 데이터 구동 회로(120)의 구성이 단순화될 수 있다.
- [0063] 복수의 게이트 구동 회로(130)는 각각은 복수의 게이트 연성 회로 필름(131) 및 복수의 게이트 구동 집적 회로(132)를 포함한다.
- [0064] 복수의 게이트 연성 회로 필름(131) 각각은 필름 부착 공정에 의해 기관(110)의 후면(110b)에 부착된다.
- [0065] 복수의 게이트 구동 집적 회로(132) 각각은 복수의 게이트 연성 회로 필름(131) 각각에 개별적으로 실장된다. 이러한 복수의 게이트 구동 집적 회로(132) 각각은 타이밍 컨트롤러(142)로부터 제공되는 게이트 제어 신호를 기반으로 스캔 펄스를 생성하고, 생성되는 스캔 펄스를 정해진 순서에 해당하는 게이트 라인(GL)에 공급한다.
- [0066] 선택적으로, 복수의 게이트 구동 집적 회로(132) 각각은 게이트 연성 회로 필름(131)에 실장되지 않고, 기관(110)의 후면(110b)에 직접적으로 실장될 수 있다. 여기서, 복수의 게이트 구동 집적 회로(132) 각각은 칩 온 글라스(chip on glass) 방식에 따른 칩 실장 공정에 의해 기관(110)의 후면(110b)에 실장될 수 있다. 이 경우, 게이트 연성 회로 필름(131)이 삭제될 수 있고, 이로 인해 게이트 구동 회로(230)의 구성이 단순화될 수 있다.
- [0067] 상기 제어 보드(141)는 복수의 데이터 연성 회로 필름(121) 각각과 복수의 게이트 연성 회로 필름(131) 각각과 연결된다. 예를 들어, 제어 보드(141)는 복수의 제 1 신호 전송 케이블(STC1)을 통해서 복수의 데이터 연성 회로 필름(121)과 전기적으로 연결되고, 복수의 제 2 신호 전송 케이블(STC2)을 통해서 복수의 게이트 연성 회로 필름(131)과 전기적으로 연결될 수 있다. 이러한 제어 보드(141)는 타이밍 컨트롤러(142)를 지지하고, 표시 구동 회로의 구성들 간의 신호 및 전원을 전달하는 역할을 한다.
- [0068] 상기 타이밍 컨트롤러(142)는 제어 보드(141)에 실장되고, 제어 보드(141)에 마련된 유저 커넥터를 통해 표시 구동 시스템으로부터 제공되는 영상 데이터와 타이밍 동기 신호를 수신한다. 타이밍 컨트롤러(142)는 타이밍 동기 신호에 기초해 영상 데이터를 표시 영역(AA)의 서브 픽셀 배치 구조에 알맞도록 정렬하여 서브 픽셀 데이터를 생성하고, 생성된 서브 픽셀 데이터를 해당하는 데이터 구동 집적 회로(122)에 제공한다. 또한, 타이밍 컨트롤러(142)는 타이밍 동기 신호에 기초해 데이터 제어 신호와 게이트 제어 신호 각각을 생성하여 복수의 데이터 구동 집적 회로(122) 및 복수의 게이트 구동 집적 회로(132) 각각의 구동 타이밍을 제어한다.
- [0069] 추가적으로, 복수의 데이터 구동 집적 회로(122)과 복수의 게이트 구동 집적 회로(132) 및 타이밍 컨트롤러(142)는 하나의 통합 구동 집적 회로로 구성될 수도 있다. 이 경우, 하나의 통합 구동 집적 회로는 기관(110)의 후면(110b)에 실장되고, 복수의 제 1 라우팅 라인(RL1)과 복수의 제 2 라우팅 라인(RL2) 각각은 기관(110)의 후면(110b)에 추가적으로 라우팅되어 통합 구동 집적 회로에 마련된 해당하는 채널과 전기적으로 연결될 수 있

다. 이 경우, 복수의 데이터 연성 회로 필름(121) 및 복수의 게이트 연성 회로 필름(131) 각각은 생략된다.

- [0070] 추가적으로, 본 예에서, 기관(110)의 각 모서리 부분은 일정한 각도 또는 길이를 가지도록 모따기되거나 일정한 곡률을 가지도록 라운딩될 수 있다. 이에 따라, 기관(110)의 모서리 부분과 외측면에 복수의 제 1 라우팅 라인(RL1)과 복수의 제 2 라우팅 라인(RL2) 각각을 단선 없이 용이하게 배치할 수 있다.
- [0071] 도 3을 참조하여, 표시장치(100)의 단위픽셀(UP)을 구성하는 서브픽셀(SP1, SP2, SP3)의 구성 및 회로구조에 대하여 설명하도록 한다. 픽셀 구동 라인들은 기관(110)의 전면(前面)(110a) 상에 마련되어 복수의 서브 픽셀(SP1, SP2, SP3) 각각에 필요한 신호를 공급한다. 본 발명의 일 실시예에 따른 픽셀 구동 라인들은 복수의 게이트 라인(GL), 복수의 데이터 라인(DL), 복수의 구동 전원 라인(DPL), 및 복수의 공통 전원 라인(CPL)을 포함한다.
- [0072] 복수의 게이트 라인(GL) 각각은 기관(110)의 전면(前面)(110a) 상에 마련되는 것으로, 기관(110)의 제 1 수평 축 방향(X)을 따라 길게 연장되면서 제 2 수평 축 방향(Y)을 따라 일정한 간격으로 이격된다.
- [0073] 복수의 데이터 라인(DL)은 복수의 게이트 라인(GL)과 교차하도록 기관(110)의 전면(前面)(110a) 상에 마련되는 것으로, 기관(110)의 제 2 수평 축 방향(Y)을 따라 길게 연장되면서 제 1 수평 축 방향(X)을 따라 일정한 간격으로 이격된다.
- [0074] 복수의 구동 전원 라인(DPL)은 복수의 데이터 라인(DL) 각각과 나란하도록 기관(110) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 배치될 수 있다. 이러한 복수의 구동 전원 라인(DPL) 각각은 외부로부터 제공되는 픽셀 구동 전원을 인접한 서브 픽셀(SP)에 공급한다.
- [0075] 복수의 공통 전원 라인(CPL)은 복수의 게이트 라인(GL) 각각과 나란하도록 기관(110) 상에 마련되는 것으로, 복수의 게이트 라인(GL) 각각과 함께 배치될 수 있다. 이러한 복수의 공통 전원 라인(CPL) 각각은 외부로부터 제공되는 공통 전원을 인접한 서브 픽셀(SP1, SP2, SP3)에 공급한다.
- [0076] 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 게이트 라인(GL)과 데이터 라인(DL)에 의해 정의되는 서브 픽셀 영역에 마련된다. 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 실제 빛이 발광되는 최소 단위의 영역으로 정의될 수 있다.
- [0077] 서로 인접한 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 컬러 표시를 위한 하나의 단위 픽셀(UP)을 구성할 수 있다. 예를 들어, 하나의 단위 픽셀(UP)은 제 1 수평 축 방향(X)을 따라 서로 인접한 적색 서브 픽셀(SP1), 녹색 서브 픽셀(SP2) 및 청색 서브 픽셀(SP3)을 포함하며, 휘도 향상을 위해 백색 서브 픽셀을 더 포함할 수도 있다.
- [0078] 선택적으로, 복수의 구동 전원 라인(DPL) 각각은 복수의 단위 픽셀(UP) 각각마다 하나씩 마련될 수 있다. 이 경우, 각 단위 픽셀(UP)을 구성하는 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 하나의 구동 전원 라인(DPL)을 공유한다. 이에 따라, 각 서브 픽셀(SP1, SP2, SP3)의 구동을 위한 구동 전원 라인의 개수를 감소시킬 수 있고, 감소하는 구동 전원 라인의 개수만큼 각 단위 픽셀(UP)의 개구율을 증가시키거나 각 단위 픽셀(UP)의 크기를 감소시킬 수 있다.
- [0079] 본 발명의 일 실시예에 따른 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 픽셀 회로(PC) 및 마이크로 발광 소자(150)를 포함한다.
- [0080] 픽셀 회로(PC)는 각 서브 픽셀(SP)에 정의된 회로 영역에 마련되어 인접한 게이트 라인(GL)과 데이터 라인(DL) 및 구동 전원 라인(DPL)에 연결된다. 이러한 픽셀 회로(PC)는 구동 전원 라인(DPL)으로부터 공급되는 픽셀 구동 전원을 기반으로, 게이트 라인(GL)으로부터의 스캔 펄스에 응답하여 데이터 라인(DL)으로부터의 데이터 신호에 따라 마이크로 발광 소자(150)에 흐르는 전류를 제어한다. 본 발명의 일 실시예에 따른 픽셀 회로(PC)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 커패시터(Cst)를 포함한다.
- [0081] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 제 1 전극, 및 구동 박막 트랜지스터(T2)의 게이트 전극(N1)에 연결된 제 2 전극을 포함한다. 여기서, 상기 스위칭 박막 트랜지스터(T1)의 제 1 및 제 2 전극은 전류의 방향에 따라 소스 전극 또는 드레인 전극이 될 수 있다. 이러한 상기 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 공급되는 스캔 펄스에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 신호를 구동 박막 트랜지스터(T2)에 공급한다.
- [0082] 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 공급되는 전압 및/또는 커패시터(Cst)의 전압에 의해 턴-온됨으로써 구동 전원 라인(DPL)으로부터 마이크로 발광 소자(150)로 흐르는 전류량을 제어한다. 이

를 위해, 본 발명의 일 실시예에 따른 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)의 제 2 전극(N1)에 연결된 게이트 전극, 구동 전원 라인(DPL)에 연결된 드레인 전극, 및 마이크로 발광 소자(150)에 연결되는 소스 전극을 포함한다. 이러한 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 신호를 기반으로 구동 전원 라인(DPL)으로부터 마이크로 발광 소자(150)로 흐르는 데이터 전류를 제어함으로써 마이크로 발광 소자(150)의 발광을 제어한다.

[0083] 커패시터(Cst)는 구동 박막 트랜지스터(T2)의 게이트 전극(N1)과 소스 전극 사이의 중첩 영역에 마련되어 구동 박막 트랜지스터(T2)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 구동 박막 트랜지스터(T2)를 턴-온시킨다.

[0084] 선택적으로, 픽셀 회로(PC)는 구동 박막 트랜지스터(T2)의 문턱 전압 변화를 보상하기 위한 적어도 하나의 보상 박막 트랜지스터를 더 포함할 수 있으며, 나아가 적어도 하나의 보조 커패시터를 더 포함할 수 있다. 이러한 픽셀 회로(PC)는 박막 트랜지스터와 보조 커패시터의 개수에 따라 초기화 전압 등의 보상 전원을 추가로 공급받을 수도 있다. 따라서, 본 발명의 일 실시예에 따른 픽셀 회로(PC)는 유기 발광 표시 장치의 각 서브 픽셀과 동일하게 전류 구동 방식을 통해 마이크로 발광 소자(150)를 구동하기 때문에 공지된 유기 발광 표시 장치의 화소픽셀 회로로 변경 가능하다.

[0085] 마이크로 발광 소자(150)는 복수의 서브 픽셀(SP1, SP2, SP3) 각각에 실장된다. 이러한 마이크로 발광 소자(150)는 해당 서브 픽셀(SP)의 화소픽셀 회로(PC)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 화소픽셀 회로(PC), 즉 구동 박막 트랜지스터(T2)로부터 공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 본 발명의 일 실시예에 따른 마이크로 발광 소자(150)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 마이크로 발광 소자 또는 마이크로 발광 다이오드 칩일 수 있다. 여기서, 마이크로 발광 다이오드 칩은 1 내지 100 마이크로 미터의 스케일을 가질 수 있으나, 이에 한정되지 않는 서브 픽셀 영역 중 화소픽셀 회로(PC)가 차지하는 회로 영역을 제외한 나머지 발광 영역의 크기보다 작은 크기를 가질 수 있다.

[0086] 도 4는 발광칩과 구조물이 있는 표시장치의 개략적인 평면도이고, 도 5는 도 4에 도시된 선 A-A'의 개략적인 단면도이며, 도 6은 도 4에 도시된 마이크로 발광 소자의 구조를 설명하기 위한 개략적인 단면도이다.

[0087] 도 4, 도 5 및 도 6을 참조하여 설명하되 도1 내지 도3과 결부하여 설명하도록 한다. 본 발명의 일 실시예에 따른 표시 장치의 각 서브 픽셀(SP1, SP2, SP3)은 보호층(113), 마이크로 발광 소자(150), 평탄화층(115-1, 115-2), 픽셀 전극(PE), 및 공통 전극(CE)을 포함한다.

[0088] 먼저, 도 5에서는 기판(110)의 두께를 상대적으로 얇게 도시하였지만, 실질적으로 기판(110)의 두께는 기판(110) 상에 마련된 층 구조의 전체 두께보다 상대적으로 매우 두꺼운 두께를 갖을 수 있으며, 복수의 층으로 구성되거나 복수의 기판이 합착된 기판일 수 있다.

[0089] 화소픽셀 회로(PC)는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 커패시터(C)를 포함한다. 이러한 픽셀 회로(PC)는 전술한 바와 동일하므로, 이에 대한 구체적인 설명은 생략하기로 하고, 이하 구동 박막 트랜지스터(T2)의 구조를 예를 들어 설명하기로 한다.

[0090] 구동 박막 트랜지스터(T2)는 게이트 전극(GE), 반도체층(SCL), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.

[0091] 게이트 전극(GE)은 기판(110) 상에 게이트 라인(GL)과 함께 배치된다. 이러한 게이트 전극(GE)은 게이트 절연층(112)에 의해 덮인다. 상기 게이트 절연층(112)은 무기 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등으로 이루어질 수 있다.

[0092] 반도체층(SCL)은 게이트 전극(GE)과 중첩(overlap)되도록 게이트 절연층(112) 상에 미리 설정된 패턴(또는 섬) 형태로 마련된다. 이러한 반도체층(SCL)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide) 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있지만, 이에 제한되지 않는다.

[0093] 소스 전극(SE)은 반도체층(SCL)의 일측과 중첩되도록 배치된다. 소스 전극(SE)은 데이터 라인(DL) 및 구동 전원 라인(DPL)과 함께 배치된다.

[0094] 드레인 전극(DE)은 반도체층(SCL)의 타측과 중첩되면서 소스 전극(SE)과 이격되도록 배치된다. 상기 드레인 전극(DE)은 소스 전극(SE)과 함께 배치되는 것으로, 인접한 구동 전원 라인(DPL)으로부터 분기되거나 돌출된다.

[0095] 부가적으로, 화소픽셀 회로(PC)를 구성하는 스위칭 박막 트랜지스터(T1)는 구동 박막 트랜지스터(T2)와 동일한

구조로 배치된다. 이때, 스위칭 박막 트랜지스터(T1)의 게이트 전극은 게이트 라인(GL)으로부터 분기되거나 돌출되고, 스위칭 박막 트랜지스터(T1)의 제 1 전극은 데이터 라인(DL)으로부터 분기되거나 돌출되며, 스위칭 박막 트랜지스터(T1)의 제 2 전극은 게이트 절연층(112)에 마련된 비아홀을 통해서 구동 박막 트랜지스터(T2)의 게이트 전극(GE)과 연결된다.

- [0096] 보호층(113)은 서브 픽셀(SP), 즉 픽셀 회로(PC)를 덮도록 기판(110)의 전면(全面) 전체에 마련된다. 이러한 보호층(113)은 픽셀 회로(PC)를 보호하면서 평탄면을 제공한다. 본 발명의 일 실시예에 따른 보호층(113)은 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 물질로 이루어질 수 있으나, 공정의 편의를 위해 포토 아크릴 물질로 이루어지는 것이 바람직하다.
- [0097] 본 발명의 일 실시예에 따른 마이크로 발광 소자(150)는 보호층(113)상에 접착부재(114)가 사용되어 배치될 수 있다. 또는, 보호층(113)상에 마련된 오목부에 배치될 수 있으며, 이러한 보호층(113)에 있는 오목부로 인한 경사면은 마이크로 발광 소자(150)로부터 방출되는 광을 전방 쪽으로 진행시키는 역할을 할 수 있다.
- [0098] 마이크로 발광 소자(150)는 화소픽셀 회로(PC)와 공통 전원 라인(CPL)에 전기적으로 연결됨으로써 화소픽셀 회로(PC), 즉 구동 박막 트랜지스터(T2)로부터 공통 전원 라인(CPL)으로 흐르는 전류에 의해 발광한다. 본 발명의 일 실시예에 따른 마이크로 발광 소자(150)는 발광층(EL), 제 1 전극(또는 애노드 단자)(E1), 및 제 2 전극(또는 캐소드 단자)(E2)을 포함한다.
- [0099] 발광층(EL)은 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 본 발명의 일 실시예에 따른 발광층(EL)은 제 1 반도체층(151), 활성층(153), 및 제 2 반도체층(155)을 포함한다.
- [0100] 제 1 반도체층(151)은 활성층(153)에 전자를 제공한다. 본 발명의 일 실시예에 따른 제 1 반도체층(151)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 1 반도체층(151)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.
- [0101] 활성층(153)은 제 1 반도체층(151)의 일측 상에 마련된다. 이러한 활성층(153)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 본 발명의 일 실시예에 따른 활성층(153)은 InGaN/GaN 등의 다중 양자 우물 구조를 가질 수 있다.
- [0102] 제 2 반도체층(155)은 활성층(153) 상에 마련되어, 활성층(153)에 정공을 제공한다. 본 발명의 일 실시예에 따른 제 2 반도체층(155)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 여기서, 제 2 반도체층(155)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0103] 제 1 전극(E1)은 제 2 반도체층(155) 상에 마련된다. 이러한 제 1 전극(E1)은 구동 박막화소 구동 트랜지스터(T2)의 소스 전극(SE)과 연결된다.
- [0104] 제 2 전극(E2)은 활성층(153)과 제 2 반도체층(155)으로부터 전기적으로 분리되도록 제 1 반도체층(151)의 타측 상에 마련된다. 이러한 제 2 전극(E2)은 공통 전원 라인(CPL)과 연결된다.
- [0105] 본 발명의 일 실시예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 Au, W, Pt, Si, Ir, Ag, Cu, Ni, Ti, 또는 Cr 등의 금속 물질 및 그 합금 중 하나 이상을 포함한 물질로 이루어질 수 있다. 다른 실시예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 투명 도전성 재질로 이루어질 수 있으며, 상기 투명 도전성 재질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0106] 부가적으로, 제 1 반도체층(151)과 활성층(153) 및 제 2 반도체층(155) 각각은 반도체 기판 상에 순차적으로 적층되는 구조로 마련될 수 있다. 여기서, 반도체 기판은 사파이어 기판(sapphire substrate) 또는 실리콘 기판 등의 반도체 물질을 포함한다. 이러한 반도체 기판은 제 1 반도체층(151)과 활성층(153) 및 제 2 반도체층(155) 각각을 성장시키기 위한 성장용 기판으로 사용된 후, 기판 분리 공정에 의해 제 1 반도체층(151)으로부터 분리될 수 있다. 여기서, 기판 분리 공정은 레이저 리프트 오프(Laser Lift Off) 또는 케미컬 리프트 오프(Chemical Lift Off) 등이 될 수 있다. 이에 따라, 마이크로 발광 소자(150)에서 성장용 반도체 기판이 제거됨에 따라 마이크로 발광 소자(150)는 상대적으로 얇은 두께를 가질 수 있으며, 이로 인하여 각 서브 픽셀(SP)에 수납될 수 있다.
- [0107] 이와 같은, 마이크로 발광 소자(150)는 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공

의 재결합에 따라 발광한다.

- [0108] 마이크로 발광 소자(150)는 픽셀 회로(PC)와 연결되는 제 1 및 제 2 전극(E1, E2)을 갖는 제 1 부분(또는 전면부)(FP), 및 제 1 부분(FP)과 반대되는 제 2 부분(또는 후면부)(RP)을 포함한다. 여기서, 제 1 부분(FP)은 제 2 부분(RP)보다 작은 크기를 가질 수 있으며, 이 경우, 마이크로 발광 소자(150)는 제 1 부분(FP)과 대응되는 윗면과 제 2 부분(RP)과 대응되는 밑면을 갖는 사다리꼴 형태의 단면을 가질 수 있다.
- [0109] 한편 마이크로 발광 소자(150)과 이격되어 구조물(160)이 배치된다. 구조물(160)은 마이크로 발광 소자(150)와 동일한 재질로 구성되는 구조물(160)일 수 있다. 구조물(160)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, 또는 AlInGaN 등이 될 수 있다. 또한, 구조물(160)은 Mg, Zn, 또는 Be 등의 불순물이 도핑된 층을 포함할 수 있다.
- [0110] 그러나, 상술한 바에 의하면, 표시장치는 동일한 베이스 물질로 구성된 복수의 마이크로 발광 소자(150)와 컬러 필터가 사용될 수도 있으나, 녹색 청색 및 적색의 빛을 발광 할 수 있는 각기 다른 마이크로 발광 소자(150)가 배치될 수 있다. 이러한 경우 서로다른 베이스 물질로 구성된 구조물(160)이 표시장치에 배치될 수 있다.
- [0111] 녹색 청색 및 적색의 빛을 발광 할 수 있는 각기 다른 마이크로 발광 소자(150)가 표시장치에 배치되는 경우 구조물(160)은 각기 다른 발광칩 중 선택된 발광칩과 동일한 베이스물질로 이루어진 구조물(160)일 수 있다.
- [0112] 구조물(160)의 일측면은 시인성이 높도록 구조물 표면(161)에 크롬(Cr)또는 Al, Au, Ag 과 같은 물질중에서 선택된 물질로 표면처리될 수 있다. 한편, 구조물(160)과 대응하도록 기판(110)상에 제2 구조물(170)이 배치될 수 있다. 제2 구조물(170)은 게이트 전극(GE)과 동일한 재질로 배치될 수 있으며 단혀있는 페루프 형상일 수 있다. 구조물(160)과 제2 구조물(170)의 다양한 형상에서는 후술하기로 한다.
- [0113] 구조물(160)은 표시장치에서 인접한 두개의 화소 사이에서 배치된다. 또한 구조물(160)은 마이크로 발광 소자(150)와 일정한 거리를 두고 배치될 수 있는데, 이는 구조물(160)이 마이크로 발광 소자(150)을 배치하는 과정에서 정렬키(alignment key)로 사용될 수 있기 때문이다.
- [0114] 구조물(160)과 제2 구조물(170) 정렬키(alignment key)로 사용될 수 있기에 구조물(160)과 제2 구조물(170)은 서로 대응하는 위치에 배치될 수 있고, 제2 구조물(170)의 중심축과 구조물(160)의 중심축은 서로 대응하도록 정렬되어 배치될 수 있다.
- [0115] 구조물(160)과 제2 구조물(170)의 중심축이 서로 대응하도록 정렬되어 배치된 것은, 다른 의미로서는 제2 구조물(170)은 구조물(160)을 둘러싸도록 배치되되, 제2 구조물(170)의 내측에서 구조물(160)과의 거리를 고려하였을 때, 상하 및 좌우의 거리가 균등하도록 배치될 수 있다.
- [0116] 구조물(160)과 제2 구조물(170)의 정렬관계가 마이크로 발광 소자(150)을 바른 위치에 배치하는 문제에 있어 중요한 것은, 마이크로 발광 소자(150)와 구조물(150)은 같은 반도체 기판에서 기판(110)으로 함께 이식되기에 구조물(160)과 제2 구조물(170)간의 거리를 일정하게 유지하면, 마이크로 발광 소자(150)가 기판(110)상에서 지정된 위치에 배치될때의 공정오차를 줄일 수 있기 때문이다. 이에 대한 더 자세한 내용은 추후 표시장치의 제조방법을 설명하면서 자세히 설명하도록 하겠다.
- [0117] 제2 구조물(170)은 상술한 바와 같이 구조물(160)을 이용한 마이크로 발광 소자(150)의 정렬하는 단계에서 사용되기에, 카메라에 인식이 잘 될 수 있는 재질로 배치되는 것이 바람직하며, 필요에 의해서는 표면처리를 통해 카메라 인식율을 높일 수 도 있다.
- [0118] 제2 구조물(170)은 게이트 전극(GE)과 동일한 물질로 배치될 수 있다. 그러나 제2 구조물(170)은 제조공정의 편의에 따라 데이터 라인(DL) 혹은 구동 박막 트랜지스터(T2)를 구성하는 전극중에서 선택된 전극과 동일한 물질로 배치될 수 도 있다.
- [0119] 제2 구조물(170)은 데이터 라인(DL)과 그라운드 전극(RE)을 통해 전기적으로 연결될 수 있다. 제2 구조물(170)은 데이터 라인(DL)과 게이트 절연층(112)상에 있는 제1 그라운드 콘택홀(RCH1) 및 제2 그라운드 콘택홀(RCH2)을 통해 전기적으로 연결되어 제2 구조물(170)이 기판상에서 플로팅 되는 것을 방지할 수 있다. 이때, 그라운드 전극(RE)으로 시인성이 낮은 투명전극이 사용되는 것이 바람직 하다.
- [0120] 평탄화층(115-1, 115-2)은 마이크로 발광 소자(150) 및 구조물(160)을 덮도록 보호층(113) 상에 마련된다. 즉, 평탄화층(115-1, 115-2)은 보호층(113)의 전면, 마이크로 발광 소자(150)와 구조물(160)이 배치된 곳과 나머지 전면(前面)을 모두 덮을 수 있을 정도의 두께를 가지도록 보호층(113) 상에 마련된다.

- [0121] 평탄화층(115-1,115-2)은 하나의 층으로 이루어 질 수 있으며 도시한 바와 같이 제1 평탄화층(115-1) 및 제2 평탄화층(115-2)으로 구성되는 다층구조의 평탄화층(115-1,115-2)일 수 있다.
- [0122] 이와 같은, 평탄화층(115-1,115-2)은 보호층(113) 상에 평탄면을 제공한다. 또한, 평탄화층(115-1,115-2)은 마이크로 발광 소자(150) 및 구조물(160)의 위치를 고정하는 역할을 한다.
- [0123] 픽셀 전극(PE)은 마이크로 발광 소자(150)의 제 1 전극(E1)을 구동 박막 트랜지스터(T2)의 소스 전극(SE)에 연결하는 것으로, 애노드 전극으로 정의될 수 있다. 본 발명의 일 실시예에 따른 픽셀 전극(PE)은 마이크로 발광 소자(150)의 제 1 전극(E1)과 구동 박막 트랜지스터(T2)에 중첩되는 평탄화층(115-1,115-2)의 전면에 마련된다. 픽셀 전극(PE)은 보호층(113) 및 평탄화층(115-1,115-2)을 관통하여 마련된 제 1 회로 콘택홀(CCH1)을 통해서 구동 박막 트랜지스터(T2)의 소스 전극(SE)에 전기적으로 연결되고, 평탄화층(115-1,115-2)에 마련된 제 1 전극 콘택홀(ECH1)을 통해서 마이크로 발광 소자(150)의 제 1 전극(E1)에 전기적으로 연결된다. 이에 따라, 마이크로 발광 소자(150)의 제 1 전극(E1)은 픽셀 전극(PE)을 통해서 구동 박막 트랜지스터(T2)의 소스 전극(SE)과 전기적으로 연결된다. 이러한 픽셀 전극(PE)은 발광 다이오드 표시 장치가 전면 발광(top emission) 방식일 경우, 투명 도전 물질로 이루어지고, 발광 다이오드 표시 장치가 후면 발광(bottom emission) 방식일 경우, 광 반사 도전 물질로 이루어질 수 있다. 여기서, 투명 도전 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질은 Al, Ag, Au, Pt, 또는 Cu 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질로 이루어진 픽셀 전극(PE)은 광 반사 도전 물질을 포함하는 단일층 또는 상기 단일층이 적층된 다층층으로 이루어질 수 있다.
- [0124] 공통 전극(CE)은 마이크로 발광 소자(150)의 제 2 전극(E2)과 공통 전원 라인(CPL)을 전기적으로 연결하는 것으로, 캐소드 전극으로 정의될 수 있다. 공통 전극(CE)은 마이크로 발광 소자(150)의 제 2 전극(E2)과 중첩되면서 공통 전원 라인(CPL)과 중첩되는 평탄화층(115-1,115-2)의 전면에 마련된다. 여기서, 공통 전극(CE)은 픽셀 전극(PE)과 동일한 물질로 이루어질 수 있다.
- [0125] 본 발명의 일 실시예에 따른 공통 전극(CE)의 일측은 공통 전원 라인(CPL)과 중첩되는 게이트 절연층(112)과 보호층(113) 및 평탄화층(115-1,115-2)을 관통하여 마련된 제 2 회로 콘택홀(CCH2)을 통해서 공통 전원 라인(CPL)에 전기적으로 연결된다. 본 발명의 일 실시예에 따른 공통 전극(CE)의 타측은 마이크로 발광 소자(150)의 제 2 전극(E2)과 중첩되도록 평탄화층(115-1,115-2)에 마련된 제 2 전극 콘택홀(ECH2)을 통해서 마이크로 발광 소자(150)의 제 2 전극(E2)에 전기적으로 연결된다. 이에 따라, 마이크로 발광 소자(150)의 제 2 전극(E2)은 공통 전극(CE)을 통해서 공통 전원 라인(CPL)과 전기적으로 연결된다.
- [0126] 본 발명의 일 실시예에 따른 픽셀 전극(PE)과 공통 전극(CE)은 제 1 및 제 2 회로 콘택홀(CCH1, CCH2), 및 제 1 및 제 2 전극 콘택홀(ECH1, ECH2)을 포함하는 평탄화층(115-1,115-2) 상에 전극 물질을 증착하는 증착 공정과 포토리소그라피 공정 및 식각 공정을 이용한 전극 패터닝 공정에 의해 동시에 마련될 수 있다. 이에 따라, 본 발명의 일 실시예는 마이크로 발광 소자(150)를 픽셀 회로(PC)에 연결하는 픽셀 전극(PE)과 공통 전극(CE)을 동시에 배치할 수 있으므로, 전극 연결 공정을 단순화할 수 있으며, 마이크로 발광 소자(150)와 픽셀 회로(PC)를 연결하는 공정 시간을 크게 단축시키고, 이를 통해서 발광 다이오드 표시 장치의 생산성을 향상시킬 수 있다.
- [0127] 본 발명의 일 실시예에 따르면, 발광 다이오드 표시 장치는 투명 버퍼층(116)을 더 포함한다.
- [0128] 투명 버퍼층(116)은 픽셀 전극(PE)과 공통 전극(CE)이 마련된 평탄화층(115-1,115-2)의 전체를 모두 덮도록 기판(110) 상에 마련됨으로써 평탄화층(115-1,115-2) 상에 평탄면을 제공후면서 외부 충격으로부터 마이크로 발광 소자(150) 및 화소픽셀 회로(PC)를 보호한다. 이에 따라, 픽셀 전극(PE)과 공통 전극(CE) 각각은 평탄화층(115-1,115-2)과 투명 버퍼층(116) 사이에 마련된다. 본 발명의 일 실시예에 따른 투명 버퍼층(116)은 OCA(optical clear adhesive) 또는 OCR(optical clear resin) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0129] 본 발명의 일 실시예에 따른 발광 다이오드 표시 장치는 각 서브 픽셀(SP)의 발광 영역 아래에 마련된 반사층(111)을 더 포함한다.
- [0130] 반사층(111)은 마이크로 발광 소자(150)를 포함하는 발광 영역과 중첩되도록 오목부(130)의 바닥면과 기판(110) 사이에 마련된다. 본 발명의 일 실시예에 따른 반사층(111)은 구동 박막 트랜지스터(T2)의 게이트 전극(GE)과 동일한 물질로 이루어져 게이트 전극(GE)과 동일한 층에 마련될 수 있으나 이에 한정되지 않는다. 반사층(111)은 구동 박막 트랜지스터(T2)를 구성하는 전극들중 어느하나의 전극과 동일한 물질로 이루어질 수 있다.
- [0131] 이러한 반사층(111)은 마이크로 발광 소자(150)로부터 입사되는 광을 마이크로 발광 소자(150)의 제 1 부분(FP)

쪽으로 반사시킨다. 이에 따라, 본 발명의 일 실시예에 따른 발광 다이오드 표시 장치는 반사층(111)을 포함함에 따라 전면 발광(top emission) 구조를 갖는다. 다만, 본 발명의 일 실시예에 따른 발광 다이오드 표시 장치가 후면 발광(bottom emission) 구조를 가질 경우, 상기 반사층(111)을 생략되거나, 마이크로 발광 소자(150)의 상부에 배치될 수 있다.

- [0132] 선택적으로, 상기 반사층(111)은 구동 박막 트랜지스터(T2)의 소스/드레인 전극(SE/DE)과 동일한 물질로 이루어져 소스/드레인 전극(SE/DE)과 동일한 층에 마련될 수도 있다.
- [0133] 본 발명의 일 실시예에 따른 발광 다이오드 표시 장치는 각 서브 픽셀(SP)에 실장되는 마이크로 발광 소자(150)는 접착 부재(114)에 의해 해당하는 반사층(111)의 상부와 대응하는 곳에 배치될 수 있다.
- [0134] 접착 부재(114)는 각 서브 픽셀(SP)의 오목부(130)와 마이크로 발광 소자(150) 사이에 개재되어 마이크로 발광 소자(150)를 해당하는 오목부(130)의 바닥면에 접촉시킴으로써 마이크로 발광 소자(150)를 1차적으로 고정한다.
- [0135] 본 발명의 일 실시예에 따른 접착 부재(114)는 마이크로 발광 소자(150)의 제 2 부분(RP), 즉 제 1 반도체층(310)의 이면과 접촉되며 마이크로 발광 소자(150)의 실장 공정 시 배치되는 위치가 틀어지는 것을 방지함과 동시에 이식하기 위해 사용되는 중간 기판으로부터 마이크로 발광 소자(150)이 원할이 떨어지도록 하여 마이크로 발광 소자(150)의 이식 공정불량을 최소화 할 수 있다.
- [0136] 본 발명의 일 실시예에 따른 접착 부재(114)는 각 서브 픽셀(SP)에 도팅(dotting)되어 마이크로 발광 소자의 실장 공정 시 가해지는 가압력에 의해 퍼짐으로써 마이크로 발광 소자(150)의 제 2 부분(RP)에 접촉될 수 있다. 이에 따라, 마이크로 발광 소자(150)는 접착 부재(114)에 의해 1차적으로 위치가 고정될 수 있다. 따라서, 본 실시예에 따르면, 마이크로 발광 소자의 실장 공정은 마이크로 발광 소자(150)를 면에 단순 접촉하는 방식으로 수행됨으로써 마이크로 발광 소자의 실장 공정 시간이 크게 단축될 수 있다.
- [0137] 또한 접착 부재(114)는 구조물(160)이 제2 구조물(170)과 정렬되어 보호층(113)상에 배치될 수 있도록 한다. 즉, 접착 부재(114)는 보호층(113)의 전면(前面) 중 컨택홀들을 제외한 나머지 전체를 덮도록 마련되어 마이크로 발광 소자(150) 및 구조물(160)이 보호층(113)상에 배치되도록 하는 기능을 수행한다.
- [0138] 다시 말하여, 접착 부재(114)는 보호층(113)과 평탄화층(115-1, 115-2) 사이에 개재되고, 마이크로 발광 소자(150) 및 구조물(160)과 보호층(113) 사이에 개재된다. 이러한 다른 예에 따른 접착 부재(114)는 보호층(113)의 전면 전체에 일정한 두께로 코팅되되, 컨택홀들이 마련된 보호층(113)의 전면에 코팅된 접착 부재(114)의 일부는 컨택홀들의 배치시 제거된다. 이에 따라, 본 발명의 일 실시예는 마이크로 발광 소자의 실장 공정 직전에, 접착 부재(114)를 보호층(113)의 전면 전체에 일정한 두께로 코팅함으로써 접착 부재(114)를 배치하는 공정 시간을 단축시킬 수 있다.
- [0139] 본 발명의 일 실시예에서, 접착 부재(114)가 보호층(113)의 전면 전체에 마련되기 때문에 본 예의 평탄화층(115-1, 115-2)은 접착 부재(114)를 덮도록 마련된다.
- [0140] 본 발명의 또다른 일 실시예에서, 마이크로 발광 소자(150)는 별도의 수용하기 위한 오목부가 존재하며, 오목부의 내측에 접착부재(114)를 통해 위치할 수 있다. 그러나, 상술한 마이크로 발광 소자(150)를 수용하기 위한 오목부는 표시장치를 구현하기 위한 다양한 공정의 조건에 따라 삭제될 수도 있다.
- [0141] 본 발명의 일 실시예에 따른 마이크로 발광 소자의 실장 공정은 적색 서브 픽셀들(SP1) 각각에 적색의 마이크로 발광 소자를 실장하는 공정, 녹색 서브 픽셀들(SP2) 각각에 녹색의 마이크로 발광 소자를 실장하는 공정, 및 청색 서브 픽셀들(SP3) 각각에 청색의 마이크로 발광 소자를 실장하는 공정을 포함할 수 있으며, 백색 서브 픽셀들 각각에 백색의 마이크로 발광 소자를 실장하는 공정을 더 포함할 수 있다.
- [0142] 본 발명의 일 실시예에 따른 마이크로 발광 소자의 실장 공정은 서브 픽셀들 각각에 백색의 마이크로 발광 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 기판(110)은 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 컬러필터층은 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다.
- [0143] 본 발명의 일 실시예에 따른 마이크로 발광 소자의 실장 공정은 서브 픽셀들 각각에 제 1 색상의 마이크로 발광 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 기판(110)은 파장 변환층, 및 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 파장 변환층은 마이크로 발광 소자로부터 입사되는 제 1 색상의 광 중 일부를 기반으로 제 2 색상의 광을 방출한다. 컬러필터층은 제 1 색상의 광과 제 2 색상의 광의 혼합에 따른 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다. 여기서, 제 1 색상은 청색이 될 수 있고, 제 2 색상은 황색이 될 수 있다. 그리고, 파장 변환층은 제 1 색상의 광 중 일부를 기반으로 제 2 색상의 광을

방출하는 형광체 또는 양자점 입자를 포함할 수 있다.

- [0144] 도 7은 일 실시예에 따라 도 5에 도시된 K영역에 있는 정렬키로 사용되는 구조물의 다양한 형태에 대한 도면이다.
- [0145] 도 7을 참조하면 구조물(160)과 제2 구조물(170)은 다양한 모양 및 형태로 배치될 수 있는데, 대표적인 형태인 O Type의 경우 구조물(160)과 제2 구조물(170) 각각 원형 또는 타원의 형태일 수 있으며 정렬의 바람직한 공정 오차를 줄이기 위해 그 크기 와 구조물(160)과 제2 구조물(170)간의 거리는 다양하게 변경하여 사용될 수 있다.
- [0146] 또한, 또다른 형태로 C Type과 같이 다각형의 형태를 갖을 수 있겠으나, 구조물(160)과 제2 구조물(170)간의 관계에 있어서 구조물(160)과 제2 구조물(170) 각각의 중심선은 일치하거나 대향하는 것이 바람직 하다 할 수 있겠다.
- [0147] 도 8a 내지 도 8c는 일 실시예에 따른 표시장치의 제조공정을 설명하기 위한 개략적인 단면도이다.
- [0148] 이하에서는 도 8a 내지 도 8c를 참조하여 표시장치의 제조공정을 설명하되, 각각의 구성요소에 대한 중복된 설명은 생략하여 설명하도록 한다.
- [0149] 적어도 하나의 박막 트랜지스터(T2)가 있는 기판(210)이 제공된다. 기판(210)상에 반사층(211) 및 제2 구조물(270)이 배치되고 게이트 절연층(212) 및 보호층(213)이 배치된다. 제2 구조물(270)은 박막 트랜지스터(T2)를 구성하는 전극중에서 선택된 전극과 동일한 재질로 배치될 수 있다.
- [0150] 이어서, 구조물(260) 및 마이크로 발광 소자(250)가 보호층(213)상에 배치된다. 보호층(213)상에 구조물(260) 및 마이크로 발광 소자(250)을 배치하기 위해 보호층(213)상에 접착 부재(214)가 배치되며, 접착 부재(214)는 구조물(260)과 마이크로 발광 소자(250)의 하부에 접하여 보호층(213)과 접촉되도록 한다.
- [0151] 상기 구조물(260)과 마이크로 발광 소자(250) 배치하는 과정에서, 구조물(260)은 마이크로 발광 소자(250)가 반사층(211)상에 대향하여 바르게 위치할 수 있도록 정렬하는 과정에서 정렬키로 사용될 수 있으며, 제2 구조물(270)을 기준으로 삼아 구조물(260)을 배치하게 되면, 함께 배치되는 마이크로 발광 소자(250)가 배치되는 위치를 정밀하게 조정할 수 있다. 구조물(260)과 마이크로 발광 소자(250)가 함께 이식되는 공정에 대하여서는 후술하기로 한다.
- [0152] 이후 구조물(260)과 마이크로 발광 소자(250)를 커버하도록 평탄화층(215-1, 215-2)을 배치한다. 평탄화층(215-1, 215-2)는 적어도 하나의 층으로 구성될 수 있으며, 복수의 컨택홀을 통해 마이크로 발광 소자(250)의 전극들과 박막 트랜지스터(T2) 또는 전원라인이 연결되도록 전극을 배치한다.
- [0153] 도 9a 및 도 9b는 표시장치에 실장되는 발광칩과 구조물에 대한 이식 공정을 설명하기 위한 개략적인 단면도이다.
- [0154] 마이크로 발광 소자(250)는 반도체 기판(wafer)상에서 성장되고, 패터닝되어 개별 마이크로 발광 소자(250)으로 완성된다. 반도체 기판(wafer)상에 있는 마이크로 발광 소자(250)은 이송기판(Donor)에 일차적으로 전사되는데, 반도체 기판(wafer)과 이송기판(Donor)가 접촉된 상태에서 레이저를 통해 반도체 기판(wafer)에서 마이크로 발광 소자(250)을 분리 시키는 방식으로 마이크로 발광 소자(250)을 이송기판(Donor)에 이식될 수 있다.
- [0155] 이송기판(250)은 고분자 물질로 PDMS(Polydimethylsiloxane)와 같은 점착성이 높은 물질일 수 있으며, 표시장치의 화소간의 거리와 대응하는 거리로 돌기(protusion)가 배치될 수 있다. 돌기(protusion)은 마이크로 발광 소자(250)이 이송기판(Donor)에 안정적으로 이식되도록 하는데 이송기판(Donor)의 재질 또는 공정조건에 따라 삭제 가능하다.
- [0156] 이와 같이 마이크로 발광 소자(250)가 이송기판(250)에 이식될 때 이송기판(Donor)과 반도체기판(wafer)간의 정렬하는 단계가 필요한데, 반도체 기판(wafer)에 있는 구조물(260)을 기준으로 반도체 기판(wafer)를 정렬하여 공정오차를 최소화 할 수 있도록 한다.
- [0157] 또한, 마이크로 발광 소자(250)이 이송기판(Donor)에 이식될 때 구조물(260)을 같이 이송하게 되면, 이후 이루어 질 수 있는 또 다른 이식공정에서 마이크로 발광 소자(250)를 배치함에 있어 정밀한 위치를 조절할 수 있도록 구조물(260)을 사용할 수 있는 장점이 있고, 이는 복수의 이송기판(Donor) 및 복수의 반도체기판(wafer)를 사용하는 공정에서 발생할 수 있는 공정 오차를 현격히 줄일 수 있게 된다.
- [0158] 이어서, 이송기판(Donor)에 이식된 마이크로 발광 소자(250)는 실제 표시장치의 발광 소자로 이식하는 단계를

거치게 된다.

[0159] 먼저, 이송기판(Donor)과 기판(210)을 정렬하는 단계를 수행하고, 구조물(260)과 마이크로 발광 소자(250)를 기판(210)으로 이식하는 단계를 수행한다. 이때, 기판(210)과 이송기판(Donor)간의 정렬은 제2 구조물(270)과 구조물(260)을 사용하여 정렬하도록 하고, 기판(210)과 이송기판(Donor)를 접촉시키면, 도 5에 대한 구성을 들어 설명하였듯이 기판(210)상에 있는 접착부재(114)는 구조물(260)과 마이크로 발광 소자(250)의 밑면과 접촉되되, 접착부재(114)에 의해 기판(210)과 마이크로 발광 소자(250)는 이송기판(Donor)보다 큰 점착력을 갖게 되어 기판(210)으로 마이크로 발광 소자(250)는 이식되게 된다.

[0160] 상술한 단계에서 기판(210)으로 구조물(260)을 함께 이식하는 것은 이송기판(Donor)의 재 사용적 관점에서 잇점이 있을 수 있고, 기판(210)에 있는 구조물(260)과 제2 구조물(270)의 정렬 상태를 검사하면, 최종적인 이식공정의 불량정도를 추후 검사할 수 있고, 이를 참조하여 마이크로 발광 소자(250)의 전극연결 공정에 공정편차를 반영하여 더욱 정밀한 전극연결 공정을 수행할 수 있는 장점이 있다.

[0161] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0162] 100: 표시장치

110, 210: 기판

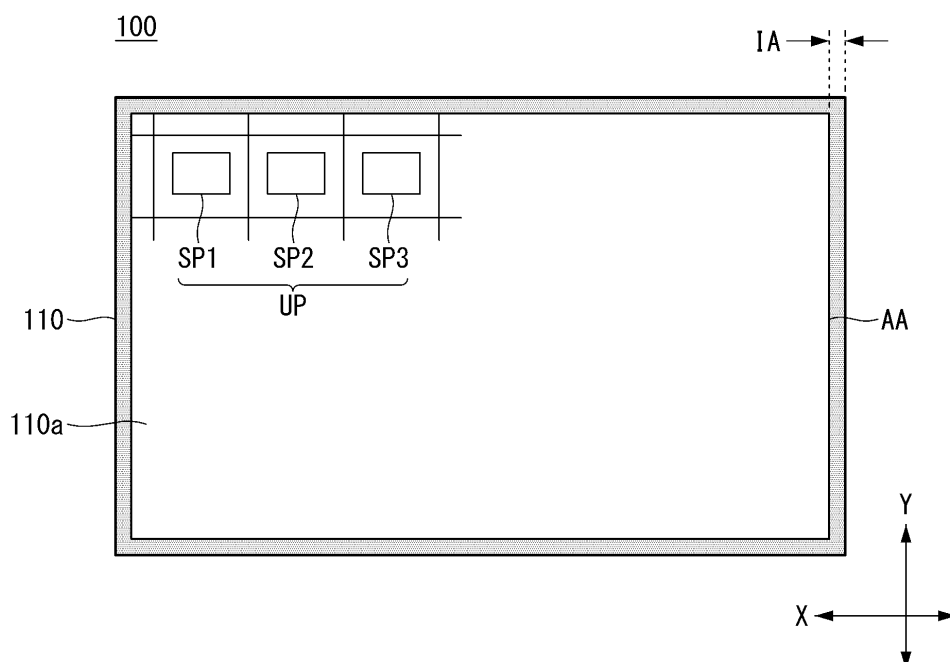
150, 250: 마이크로 발광 소자

160, 260: 구조물

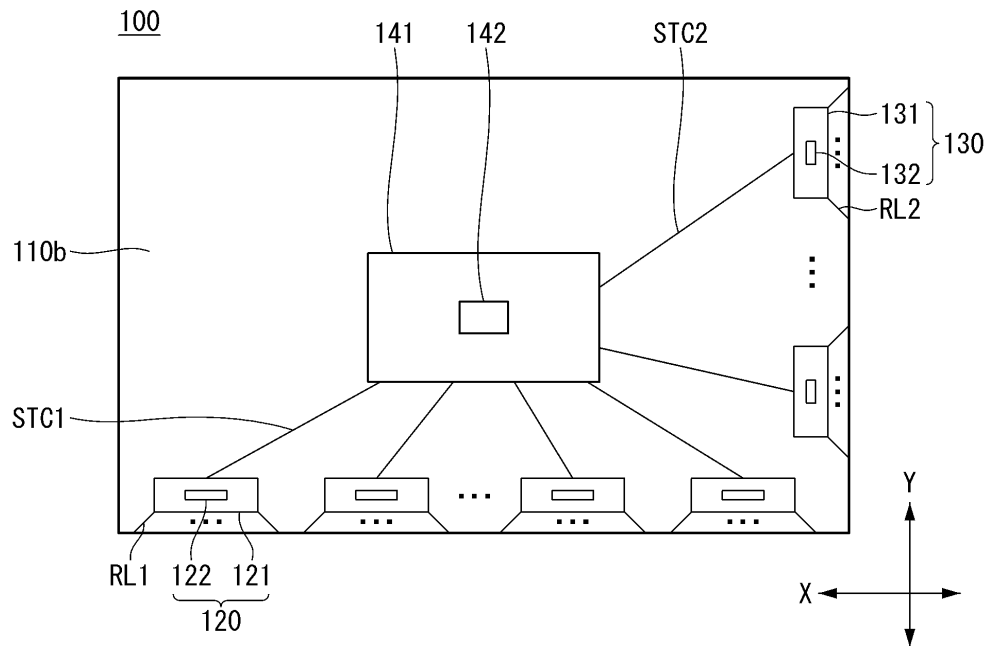
170, 270: 제2 구조물

도면

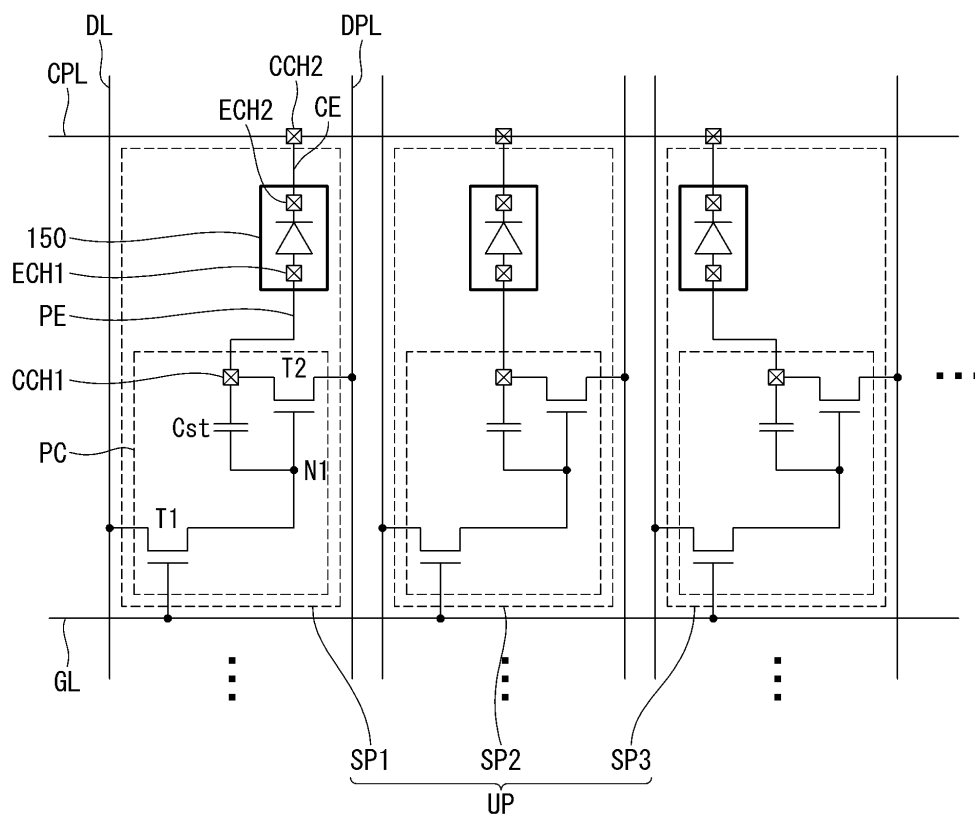
도면1



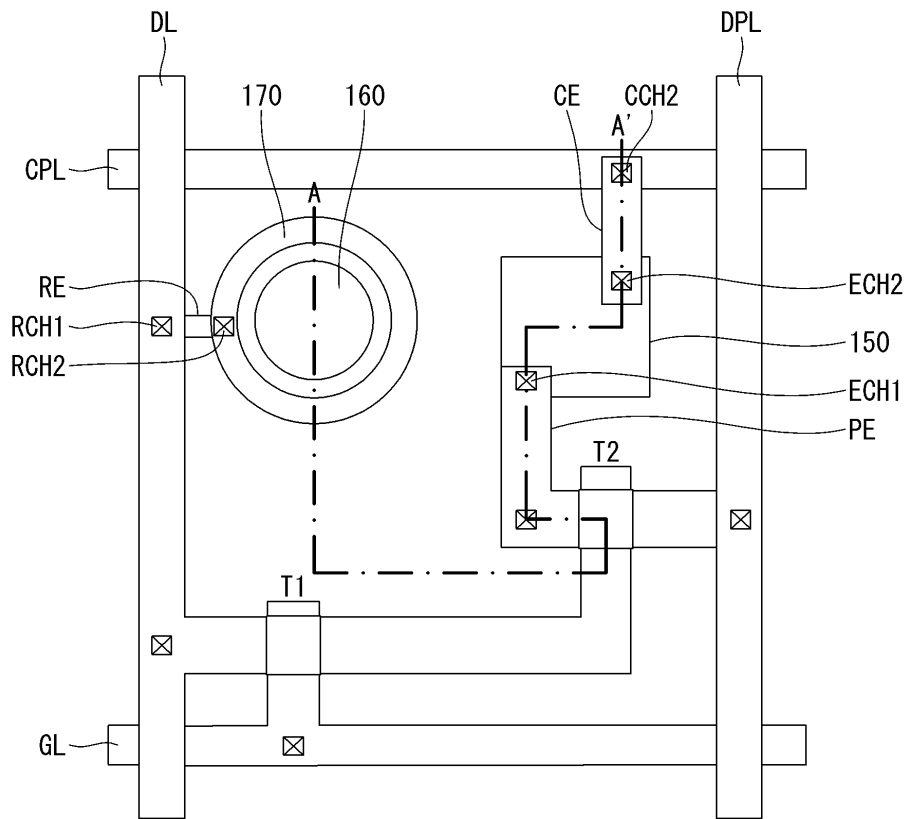
도면2



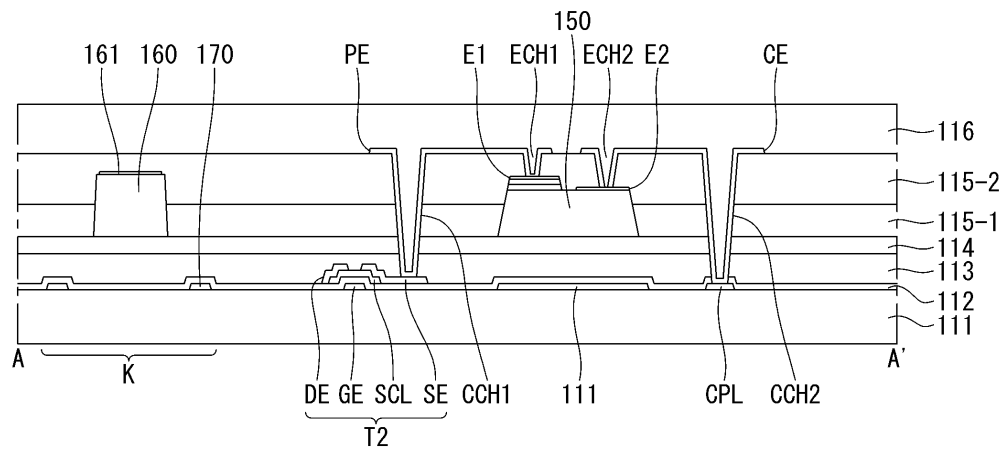
도면3



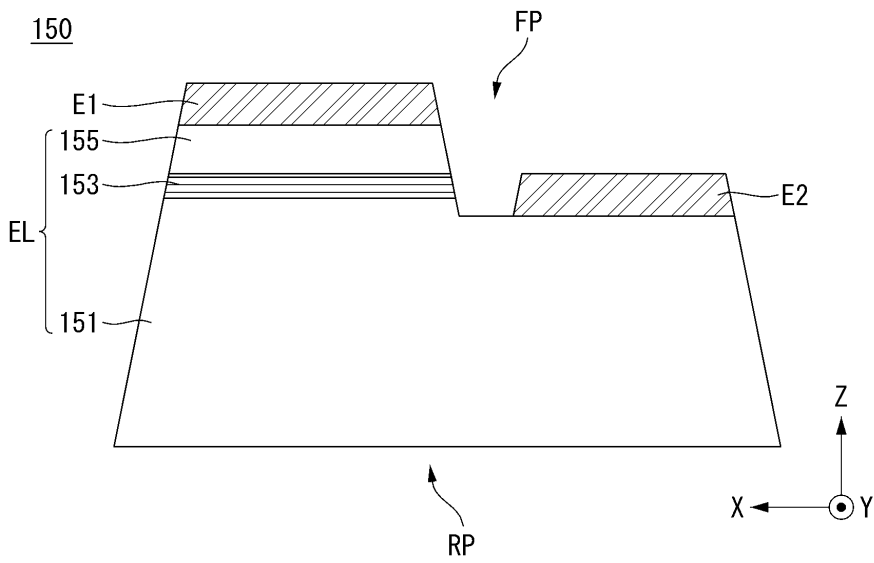
도면4



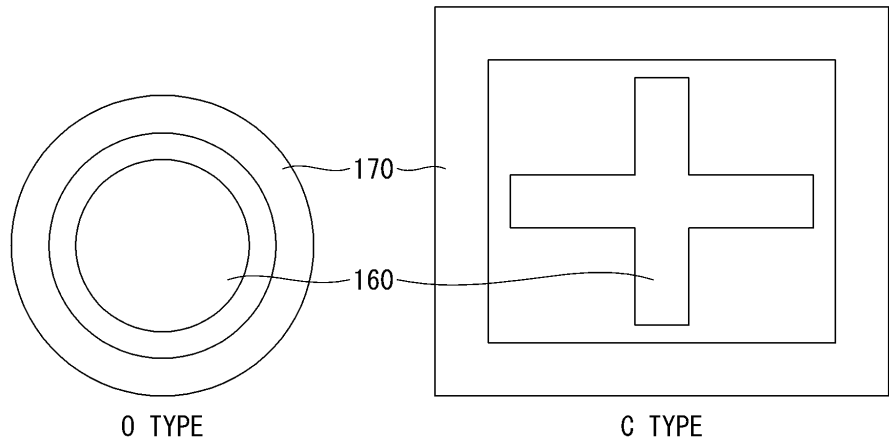
도면5



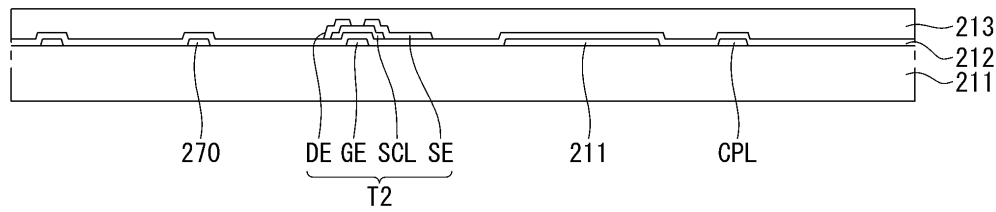
도면6



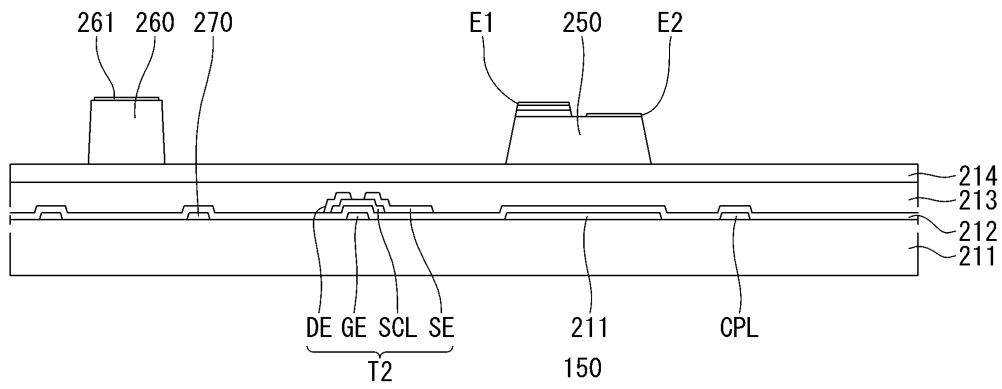
도면7



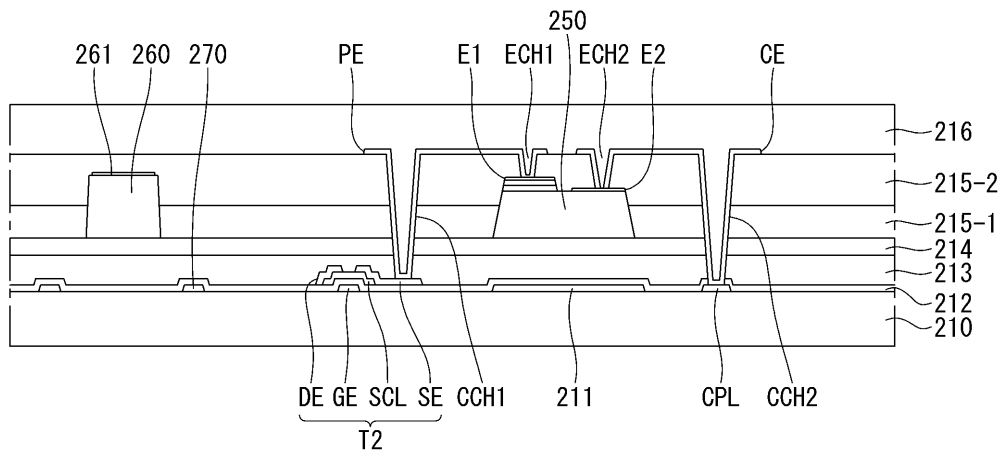
도면8a



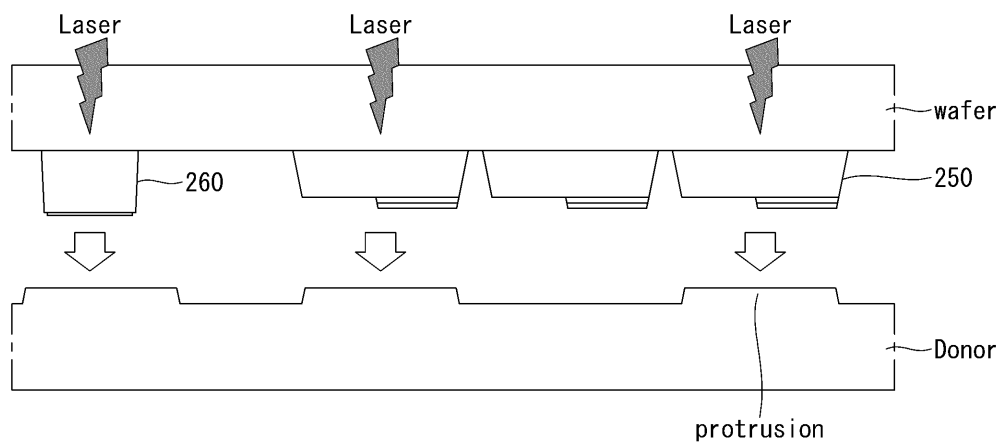
도면8b



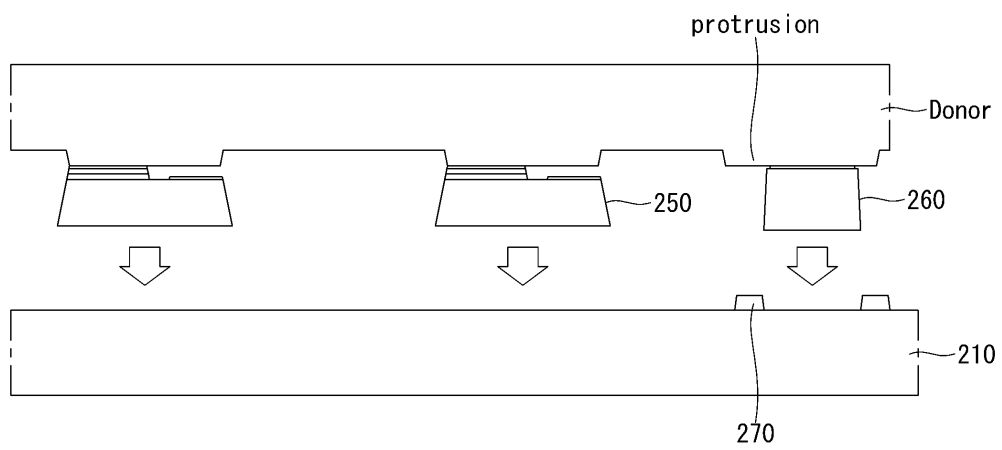
도면8c



도면9a



도면9b



专利名称(译)	发光显示装置及其制造方法		
公开(公告)号	KR101902566B1	公开(公告)日	2018-09-28
申请号	KR1020170094328	申请日	2017-07-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK HYUNG JU 박형주		
发明人	박형주		
IPC分类号	H01L25/075 H01L33/42 H01L33/58 H01L33/62		
CPC分类号	H01L25/0753 H01L33/62 H01L33/42 H01L33/58 G09F9/33 H01L33/0093 H01L2223/54426 G02B5/201 G02F2201/121 G02F2201/123 G09G3/32 H01L27/1218 H01L27/124 H01L29/41733 H01L29/42384 H01L33/10 H01L33/325		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，提供了一种在基板上具有微发光元件的显示装置及其制造方法。多个像素限定在基板上，并且每个像素通过微发光元件用作发光元件。在每个像素的一侧，设置由与用作像素的发光元件的微发光元件的材料相同的材料制成的结构。该结构可用于进一步减少设置微发光器件的过程中的工艺误差，从而最小化在注入微发光器件的过程中可能发生的缺陷。

